

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-088175

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

H03M 1/36
H03M 1/14

(21)Application number : 09-265087

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 12.09.1997

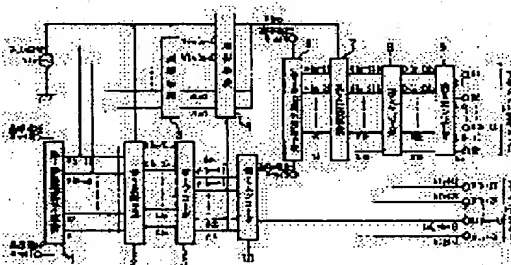
(72)Inventor : TATSUTA TETSUO

(54) A/D CONVERTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress increase in the number of comparators in terms of an index with high resolution conversion by using respective output signals obtained by means of subtracting a reference voltage which is obtained by dividing a voltage between two reference voltage sources as a switch control signal.

SOLUTION: The respective reference voltages of a first reference voltage generating means 1, which are obtained by dividing the voltage between the first and the second reference voltage sources Vref 1 and Vref 2 are compared with an analog input signal Vin so as to execute coarse conversion by a first encoder 10 corresponding to a high-order A/D conversion bit. Here, an output result by a first decoder 5 is used as the switch control signal for selecting the respective output signals by a switch, which are obtained by subtracting the respective reference voltages from the analog input signal Vin. Then, a low-order A/D conversion bit output signal is compared with the respective reference voltages of the second reference voltage generating means 6 so as to execute conversion into the low-order A/D conversion bit corresponding to the comparison result by the second encoder 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 11-88175

(43) 公開日 平成11年(1999)3月30日

(51) Int. Cl.⁶

識別記号

FI

H03M 1/36
1/14H03M 1/36
1/14

B

審査請求 未請求 請求項の数 8

FD

(全15頁)

(21) 出願番号 特願平9-265087

(22) 出願日 平成9年(1997)9月12日

(71) 出願人 000000376

オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 多津田 哲男

東京都渋谷区幡ヶ谷2丁目43番2号 オリン
パス光学工業株式会社内

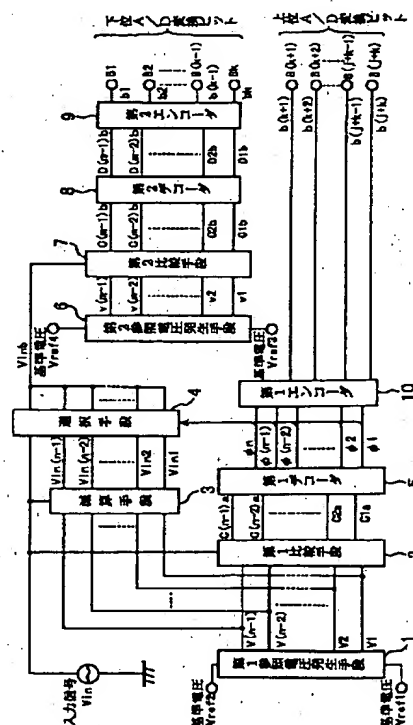
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 A/D変換回路

(57) 【要約】

【課題】 高分解能化に伴う指数的なコンパレータ数の増加を抑え、消費電力の低減を可能にしたA/D変換回路を提供する。

【解決手段】 複数の参照電圧を出力する第1の参照電圧出力手段1と、複数の参照電圧とアナログ入力信号とを比較する第1の比較手段2と、入力信号から参照電圧を減算する減算手段3と、減算出力を選択する選択手段4と、第1の比較手段の出力をデコードして選択手段の制御信号を出力する第1のデコーダ5と、複数の参照電圧を出力する第2の参照電圧出力手段6と、複数の第2の参照電圧と選択手段の出力とを比較する第2の比較手段7と、第2の比較手段の出力をデコードする第2のデコーダ8と、このデコーダ出力をバイナリー信号に変換し下位A/D変換ビットを出力する第2のエンコーダ9と、第1のデコーダの出力をバイナリー信号に変換し上位A/D変換ビットを出力する第1のエンコーダ10とでA/D変換回路を構成する。



【特許請求の範囲】

【請求項1】 アナログの入力信号をデジタルの出力信号に変換するA/D変換回路において、前記アナログの入力信号を入力する標準化回路と、第1の基準電圧源と第2の基準電圧源との間にn個（nは2以上の正の整数）の抵抗成分素子を直列接続し、前記第1の基準電圧源と第2の基準電圧源との間の電圧を分圧することにより順次設定される複数の設定電圧を出力する第1の参照電圧出力手段と、複数の比較回路からなり、前記第1の参照電圧出力手段の各設定電圧を各比較回路の一方の入力端子にそれぞれ入力し、前記標準化回路の出力を各比較回路の他方の入力端子に共通に入力してなる第1の比較手段と、複数の減算回路からなり、前記第1の参照電圧出力手段の各設定電圧を各減算回路の一方の入力端子にそれぞれ入力し、前記標準化回路の出力を各減算回路の他方の入力端子に共通に入力してなる減算手段と、該減算手段の各減算回路の出力端子にそれぞれ入力端子を接続した複数のスイッチ回路と前記標準化回路の出力端子にそれぞれ入力端子を接続したスイッチ回路とからなる選択手段と、前記第1の比較手段の各比較回路の出力端子を入力端子に接続し、出力端子を前記選択回路を構成する各スイッチ回路の制御端子にそれぞれ接続した第1のデコーダと、該第1のデコーダの出力端子にそれぞれ入力端子を接続し、出力端子を上位A/D変換ビット出力端子に接続した第1のエンコーダと、前記第1の参照電圧出力手段の最下位の設定電圧を入力端子に接続した低出力インピーダンスに出力変換するための第1のバッファ回路と、前記第1の基準電圧源と前記第1のバッファ回路の出力端子間にm個（mは2以上の正の整数）の抵抗成分素子を直列接続し、前記第1の基準電圧源と前記第1のバッファ回路の出力端子間の電圧を分圧することにより順次設定される複数の設定電圧を出力する第2の参照電圧出力手段と、複数の比較回路からなり、前記第2の参照電圧出力手段の各設定電圧を各比較回路の一方の入力端子にそれぞれ入力し、前記選択手段を構成する各スイッチ回路の共通の出力を他方の入力端子に共通に入力した第2の比較手段と、該第2の比較手段の各比較回路の出力端子にそれぞれ入力端子を接続した第2のデコーダと、該第2のデコーダの出力端子にそれぞれ入力端子を接続し、出力端子を下位A/D変換ビット出力端子に接続した第2のエンコーダとを備えていることを特徴とするA/D変換回路。

【請求項2】 アナログの入力信号をデジタルの出力信号に変換するA/D変換回路において、第1の基準電圧源と第2の基準電圧源との間にn個（nは2以上の正の整数）の抵抗成分素子を直列接続し、前記第1の基準電圧源と第2の基準電圧源との間の電圧を分圧することにより順次設定される複数の設定電圧を出力する第1の参照電圧出力手段と、複数の比較回路からなり、前記第1の参照電圧出力手段の各設定電圧を各比較回路の一方

を各比較回路の他方の入力端子に共通に入力してなる第1の比較手段と、複数の減算回路からなり、前記第1の参照電圧出力手段の各設定電圧を各減算回路の一方の入力端子にそれぞれ入力し、前記アナログの入力信号を各減算回路の他方の入力端子に共通に入力してなる減算手段と、該減算手段の各減算回路の出力端子にそれぞれ入力端子を接続した複数のスイッチ回路と前記アナログの入力信号を入力端子に入力したスイッチ回路とからなる選択手段と、前記第1の比較手段の各比較回路の出力端子にそれぞれ入力端子を接続し、出力端子を前記選択回路を構成する各スイッチ回路の制御端子にそれぞれ接続した第1のデコーダと、該第1のデコーダの出力端子にそれぞれ入力端子を接続した第1の標準化回路と、該第1の標準化回路の出力端子にそれぞれ入力端子を接続し、出力端子を上位A/D変換ビット出力端子に接続した第1のエンコーダと、前記第1の参照電圧出力手段の最下位の設定電圧を入力端子に接続した低出力インピーダンスに出力変換するための第1のバッファ回路と、前記第1の基準電圧源と前記第1のバッファ回路の出力端子間にm個（mは2以上の正の整数）の抵抗成分素子を直列接続し、前記第1の基準電圧源と前記第1のバッファ回路の出力端子間の電圧を分圧することにより順次設定される複数の設定電圧を出力する第2の参照電圧出力手段と、複数の比較回路からなり、前記第2の参照電圧出力手段の各設定電圧を各比較回路の一方の入力端子にそれぞれ入力し、前記選択手段を構成する各スイッチ回路の共通の出力を他方の入力端子に共通に入力した第2の比較手段と、該第2の比較手段の各比較回路の出力端子にそれぞれ入力端子を接続した第2のデコーダと、該第2のデコーダの出力端子にそれぞれ入力端子を接続した第2の標準化回路と、該第2の標準化回路の出力端子にそれぞれ入力端子を接続し、出力端子を下位A/D変換ビット出力端子に接続した第2のエンコーダとを備えていることを特徴とするA/D変換回路。

【請求項3】 前記第1のバッファ回路として、第1の基準電圧源の電圧を V_{ref1} 、第1の参照電圧出力手段の最下位の設定電圧を V_1 、利得をAとしたとき、 $A(V_1 - V_{ref1}) + V_{ref1}$ で表される低出力インピーダンスの出力電圧に出力変換するバッファ回路を用い、前記選択手段を構成する各スイッチ回路の共通出力端子と前記第2の比較手段を構成する各比較回路の共通入力端子との間に、前記選択手段の各スイッチ回路の共通出力信号を V_{inb} としたとき、 $A(V_{inb} - V_{ref1}) + V_{ref1}$ で表される出力電圧に出力変換する第2のバッファ回路を接続したことを特徴とする請求項1記載のA/D変換回路。

【請求項4】 前記第1のバッファ回路として、第1の基準電圧源の電圧を V_{ref1} 、第1の参照電圧出力手段の最下位の設定電圧を V_1 、利得をAとしたとき、 $A(V_1 - V_{ref1}) + V_{ref1}$ で表される低出力インピーダンスの出力電圧に出力変換するバッファ回路を用い、前記選

択手段を構成する各スイッチ回路の共通出力端子と前記第2の比較手段を構成する各比較回路の共通入力端子との間に、前記選択手段の各スイッチ回路の共通出力信号を V_{inb} としたとき、 $A(V_{inb} - V_{ref1}) + V_{ref1}$ で表される出力電圧に出力変換する第2のバッファ回路を接続したことを特徴とする請求項2記載のA/D変換回路。

【請求項5】 前記第2の参照電圧出力手段に印加する第1のバッファ回路を介した第1の参照電圧出力手段の最下位の設定電圧及び第1の基準電圧源の電圧の代わりに、第1の参照電圧出力手段の第3段目以降の下位設定電圧及び第2段目以降の下位設定電圧を用い、それぞれの設定電圧を低出力インピーダンスに出力変換する第1及び第3のバッファ回路を介して第2の参照電圧出力手段に印加するように構成したことを特徴とする請求項1記載のA/D変換回路。

【請求項6】 前記第2の参照電圧出力手段に印加する第1のバッファ回路を介した第1の参照電圧出力手段の最下位の設定電圧及び第1の基準電圧源の電圧の代わりに、第1の参照電圧出力手段の第3段目以降の下位設定電圧及び第2段目以降の下位設定電圧を用い、それぞれの設定電圧を低出力インピーダンスに出力変換する第1及び第3のバッファ回路を介して第2の参照電圧出力手段に印加するように構成したことを特徴とする請求項2記載のA/D変換回路。

【請求項7】 前記請求項5記載のA/D変換回路において、前記第1のバッファ回路として、第1の参照電圧出力手段の第3段目以降の下位設定電圧を V_p (p は3以上の整数)、第2段目以降の下位設定電圧を $V(p-1)$ (p は3以上の整数)、利得を A としたとき、設定電圧 V_p を $A\{V_p - V(p-1)\} + V(p-1)$ で表される低出力インピーダンスの出力電圧に出力変換する利得 A のバッファ回路を用い、前記選択手段の各スイッチ回路の共通出力端子と前記第2の比較手段を構成する各比較回路の共通入力端子との間に、前記選択手段の各スイッチ回路の共通出力信号を V_{inb} としたとき、 $A\{V_{inb} - V(p-1)\} + V(p-1)$ で表される出力電圧に出力変換する第2のバッファ回路を接続したことを特徴とするA/D変換回路。

【請求項8】 前記請求項6記載のA/D変換回路において、前記第1のバッファ回路として、第1の参照電圧出力手段の第3段目以降の下位設定電圧を V_p (p は3以上の整数)、第2段目以降の下位設定電圧を $V(p-1)$ (p は3以上の整数)、利得を A としたとき、設定電圧 V_p を $A\{V_p - V(p-1)\} + V(p-1)$ で表される低出力インピーダンスの出力電圧に出力変換する利得 A のバッファ回路を用い、前記選択手段の各スイッチ回路の共通出力端子と前記第2の比較手段を構成する各比較回路の共通入力端子との間に、前記選択手段の各スイッチ回路の共通出力信号を V_{inb} としたとき、 $A\{V_{inb} - V$

$(p-1)\} + V(p-1)$ で表される出力電圧に出力変換する第2のバッファ回路を接続したことを特徴とするA/D変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、アナログの入力信号をディジタルの出力信号に変換するA/D変換回路に関する。

【0002】

【従来の技術】 従来、アナログ入力信号をディジタル出力信号に変換するA/D変換回路としては、図14に示すような構成の並列型A/D変換回路が知られている。図14に示すように、A/D変換回路の分解能が j ビットの場合、 $2^j - 1$ 個のコンパレータ $CMP1, CMP2, \dots, CMP(n-2), CMP(n-1)$ が設けられている。これらのコンパレータの一方の入力端子には、入力信号 V_{in} が共通に入力接続されており、他方の入力端子には、第1の参照電圧 V_{ref1} 及び第2の参照電圧 V_{ref2} 間に複数の抵抗素子 $R1, R2, \dots, R(n-1), Rn$ を直列に接続して、それらの各接続点で設定される参照電圧 $V1, V2, \dots, V(n-2), V(n-1)$ が、それぞれ入力されるようになっている。また、これらのコンパレータの出力は、標準化回路101に入力され、この標準化回路101からは出力信号 $d1, d2, \dots, d(n-2), d(n-1)$ が出力され、この標準化回路101からの出力信号はデコーダ102に入力され、出力信号 $D1, D2, \dots, D(n-2), D(n-1)$ として出力される。このデコーダ102からの出力信号は、 j ビットのバイナリーコードを発生するエンコーダ103に入力され、エンコーダ103から j ビットのA/D変換ビット出力端子 $B1, B2, \dots, B(j-1), Bj$ に、変換信号 $b1, b2, \dots, b(j-1), bj$ が出力されるように構成されている。

【0003】 次に、このように構成されているA/D変換回路の動作を、図15及び図16に基づいて説明する。なお、図16は図15の下方に続く図面で、両者の時間軸の点線は、それぞれ対応しているものである。図15、図16においては、入力信号 V_{in} と、この入力信号 V_{in} に対するコンパレータ $CMP1, CMP2, \dots, CMP(n-2), CMP(n-1)$ の出力信号 $CMP1-out, CMP2-out, \dots, CMP(n-2)-out, CMP(n-1)-out$ が示されており、更にコンパレータの出力と標準化用CLKに対応した標準化回路101からの出力信号 $d1, d2, \dots, d(n-2), d(n-1)$ がデコーダ102に入力されて、出力信号 $D1, D2, \dots, D(n-2), D(n-1)$ として出力される動作を示している。各コンパレータ $CMP1, CMP2, \dots, CMP(n-2), CMP(n-1)$ には、参照電圧 $V1, V2, \dots, V(n-2), V(n-1)$ が入力されているので、その出力端子には図15に示すような特性の出力信号 $CMP1-out, CMP2-out, \dots, CMP(n-2)-out, CMP(n-1)-out$ が出力される。このように、入力信号 V

inが時間と共に変化しているとき、コンパレータ出力信号CMP 1-out, CMP 2-out... CMP (n-2)-out, CMP (n-1)-out は、各コンパレータの参照電圧V 1, V 2, ... V (n-2), V (n-1) と入力信号Vinの大小関係に応じた出力となる。これらのコンパレータ出力信号は、標準化回路101 に入力される。

【0004】標準化回路101 は、例えばラッチ回路で構成されており、標準化用CLKの立ち上がりでこのコンパレータ出力信号がラッチされるため、これ以降は標準化用CLKがHレベルの期間で入力信号Vinにかかわらずラッチされた状態で固定される。標準化用CLKがHレベルからLレベルになるとラッチ状態が解除され、また入力信号Vinに対応した出力が発生する。更に、標準化用CLKがLレベルからHレベルになった瞬間にラッチがかかり、状態が固定される。この標準化回路101 から出力される信号d 1, d 2, ... d (n-2), d (n-1) は、コンパレータCMP 1, CMP 2, ... CMP (n-2), CMP (n-1) への入力信号Vinが特定の電圧範囲にある場合のみ順序よくHレベルとなるようなデコーダ102 に入力され、図16に示すような出力信号D 1, D 2, ... D (n-2), D (n-1) として出力される。この後、出力信号D 1, D 2, ... D (n-2), D (n-1) は、jビットのバイナリーコードを発生するエンコーダ103 に入力され、jビットのバイナリー信号b 1, b 2, ... b (j-1), b j に変換されて、A/D変換ビット出力端子B 1, B 2, ... B (j-1), B j から出力される。

【0005】

【発明が解決しようとする課題】ところで、上記従来の並列型A/D変換回路では、入力信号Vinと参照電圧V 1, V 2, ... V (n-2), V (n-1) との大小関係を比較し、その大小に応じた出力を標準化回路を経由してデコーダに入力し、その後エンコーダに入力され、A/D変換ビット出力端子からjビットのバイナリーコードを発生している。

【0006】このとき、入力信号Vinが参照電圧V 1, V 2, ... V (n-2), V (n-1) のどの電圧範囲にあるかを、分解能がjビットのバイナリーコードで出力するため、この場合 $2^j - 1$ 個のコンパレータが必要になってくる。また、それに伴い参照電圧を設定する抵抗素子R 1, R 2, ... R (n-1), R (n-2) は 2^j 個、標準化回路もエンコーダの回路の規模もコンパレータの数に比例して大きくなる。

【0007】つまり、従来の並列型A/D変換回路では、高分解能化に伴い指数的にコンパレータ数が増加し、チップサイズ、消費電力がこれに伴い同様に増加するため、現実には各回路に高速動作に必要な動作電流を与えることができず、あまり動作速度を速くできないという問題点がある。また同様に、高分解能化に伴い入力容量が増大し、信号歪みが発生しやすくなりTHD (total harmonic distortion) が劣化し、所望の特性が得

られにくい。

【0008】本発明は、従来のA/D変換回路における上記問題点を解消するためになされたもので、請求項1～8記載の各発明は、高分解能化に伴う指数的なコンパレータ数の増加を抑えることで、チップサイズを縮小することができ、また各回路には高速動作に必要な動作電流を与えながらもトータルの消費電力を減少させることが可能となり、更に、それに伴う入力容量の増大も抑えられるため信号歪みを発生しにくくし、THDの劣化を低減させることができるようにしたA/D変換回路を提供することを目的とする。更に、請求項3, 4, 7及び8記載の各発明は、下位A/D変換ビットの要求精度を緩くすることが可能なA/D変換回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記問題点を解決するための、請求項1～8記載の各発明の基本構成を、図1の概念図に基づいて説明する。本発明に係るA/D変換回路は、第1の基準電圧源Vref1と第2の基準電圧源Vref2間の電圧を分圧することにより複数の参照電圧を順次出力する第1の参照電圧出力手段1と、該第1の参照電圧出力手段1で得られる複数の参照電圧とアナログの入力信号Vinとを比較する第1の比較手段2と、アナログの入力信号Vinから第1の参照電圧出力手段1の各参照電圧を減算する減算手段3と、該減算手段3による複数の減算出力をスイッチによって選択する選択手段4と、該選択手段4を制御する制御信号を、アナログ入力信号Vinが第1の参照電圧出力手段1で設定された特定の電圧範囲にある場合のみ順序よくHレベルとなるように、第1の比較手段2で得られる複数の比較出力をデコードすることによって発生する第1のデコーダ5と、第3の基準電圧源Vref3と第4の基準電圧源Vref4との間の電圧を分圧することにより複数の参照電圧を順次出力する第2の参照電圧出力手段6と、該第2の参照電圧出力手段6で得られる複数の参照電圧とスイッチによる前記選択手段4によって得られる信号とを比較する第2の比較手段7と、前記選択手段4によって得られた信号が第2の参照電圧出力手段6で設定された特定の電圧範囲にある場合のみ順序よくHレベルとなるように、前記第2の比較手段7によって得られる複数の比較出力をデコードするように構成された第2のデコーダ8と、該第2のデコーダ8からの出力信号をバイナリー信号に変換する第2のエンコーダ9と、該第2のエンコーダ9からの信号を出力する下位A/D変換ビット端子と、前記第1のデコーダ5で得られた信号をバイナリー信号に変換する第1のエンコーダ10と、該第1のエンコーダ10からの信号を出力する上位A/D変換ビット端子とで構成するものである。

【0010】このように構成したA/D変換回路では、上位A/D変換ビットは、第1の基準電圧源Vref1と第

2の基準電圧源Vref2との間の電圧を分圧して得られる第1の複数の参照電圧V1, V2, ... V(n-2), V(n-1)とアナログの入力信号Vinとを比較し、上位A/D変換ビットに対応した第1のエンコーダ10によって粗く変換される。また、第1のデコーダ5による出力φ1, φ2, ... φ(n-1), φnは、アナログの入力信号Vinから第1の基準電圧源Vref1と第2の基準電圧源Vref2との間の電圧を分圧して得られる各参照電圧を減算手段3で減算した各出力信号Vin1, Vin2, ... Vin(n-2), Vin(n-1)を、選択手段4のスイッチによって選択するときのスイッチング制御信号として使用される。このようにして得られた下位A/D変換ビット用出力信号は、上位A/D変換ビット結果の1LSB以下の部分が残ったことになる。そして、この下位A/D変換ビット用出力信号Vinbと、第3の基準電圧源Vref3と第4の基準電圧源Vref4との間の電圧を分圧して得られる第2の複数の参照電圧v1, v2, ... v(m-2), v(m-1)とを第2の比較手段で比較し、第2のエンコーダ9によって、その比較結果に対応した下位A/D変換ビットに変換される。

【0011】以上の構成のA/D変換回路で上記動作を行わせることにより、高分解能化に伴う指数的なコンパレータ数の増加を抑えることができ、それによりチップサイズを縮小することができ、また各回路には高速動作に必要な動作電流を与えながらもトータルの消費電力を減少させることが可能となり、更に、それに伴う入力容量の増大も抑えられるため信号歪みを発生しにくくし、THDの劣化を低減させることが可能なA/D変換回路を実現できる。

【0012】また、請求項3, 4, 7, 8記載の各発明では、前記請求項1~8記載の各発明の基本構成に加えて、アナログの入力信号Vinから第1の基準電圧源Vref1と第2の基準電圧源Vref2との間の電圧を分圧して得られる各参照電圧を減算した各出力信号が選択手段のスイッチを経由して選択、出力された下位A/D変換ビット用出力信号にゲインをもたせ、下位A/D変換ビットの要求精度を緩くするA/D変換回路を実現することができる。

【0013】

【発明の実施の形態】次に、実施の形態について説明する。図2は、本発明に係るA/D変換回路の第1の実施の形態を示す回路構成図で、図1の概念図に示したものと同一又は対応する構成要素には同一の符号を付して示している。図2において、R1, R2, ... R(n-2), R(n-1)は第1の参照電圧出力手段を構成する直列接続の抵抗素子、r1, r2, ... r(m-1), rmは第2の参照電圧出力手段を構成する直列接続の抵抗素子、CMP1a, CMP2a, ... CMP(n-2)a, CMP(n-1)aは第1の比較手段を構成する比較回路、CMP1b, CMP2b, ... CMP(m-2)b, CMP(m-1)bは第2の比較手

段を構成する比較回路、SUB1, SUB2, ... SUB(n-2), SUB(n-1)は減算手段を構成する減算回路、SW1, SW2, ... SW(n-2), SW(n-1)及びSWnは選択手段を構成するスイッチ回路、BUF1はバッファ回路、B(k+1), B(k+2), ... B(j+k-1), B(j+k)は上位A/D変換ビット出力端子、B1, B2, ... B(k-1), Bkは下位A/D変換ビット出力端子を示している。但し、 $j = \log_2 n$, $k = \log_2 m$, n, mは2以上の正の整数である。

【0014】次に、第1の実施の形態の更に詳細な構成と共に、上位A/D変換ビット信号の出力動作を図3及び図4に基づいて説明する。まず各比較回路CMP1a, CMP2a, ... CMP(n-2)a, CMP(n-1)aの非反転入力端子には、アナログの入力信号Vin(図3において“A”で示す信号波形参照)が入力される。第1の基準電圧源Vref1と第2の基準電圧源Vref2との間に抵抗素子R1, R2, ... R(n-1), Rnを直列に接続した第1の参照電圧出力手段によって形成された参照電圧V1, V2, ... V(n-2), V(n-1)が、第1の比較回路CMP1a, CMP2a, ... CMP(n-2)a, CMP(n-1)aの反転入力端子に入力される。その結果、比較回路CMP1a, CMP2a, ... CMP(n-2)a, CMP(n-1)aからはコンパレータ出力として、CMP1a-out, CMP2a-out, ... CMP(n-2)a-out, CMP(n-1)a-outが出力される。また、入力信号Vinは減算回路SUB1, SUB2, ... SUB(n-2), SUB(n-1)の入力端子にも入力され、それぞれの減算回路からは入力信号Vinと第1の参照電圧出力手段からの参照電圧V1, V2, ... V(n-2), V(n-1)との差が出力される。このとき、減算回路SUB1からは $Vin - V1 + Vref1$, 減算回路SUB2からは $Vin - V2 + Vref1$, ... 減算回路SUB(n-2)からは $Vin - V(n-2) + Vref1$, 減算回路SUB(n-1)からは $Vin - V(n-1) + Vref1$ が出力信号として出力される。これらの減算回路の出力信号は、スイッチ回路SW1, SW2, ... SW(n-2), SW(n-1)の入力端子にそれぞれ入力され、残りのスイッチ回路SWnの入力端子には入力信号Vinが入力される。

【0015】比較回路CMP1a, CMP2a, ... CMP(n-2)a, CMP(n-1)aの出力信号CMP1a-out, CMP2a-out, ... CMP(n-2)a-out, CMP(n-1)a-outは、第1のデコーダ5に入力され、アナログの入力信号Vinが参照電圧V1, V2, ... V(n-2), V(n-1)のどの電圧範囲にあるのかを第1のデコーダ5の出力信号φ1, φ2, ... φ(n-2), φ(n-1), φnとして出力する。この第1のデコーダ5の出力信号φ1, φ2, ... φ(n-1), φnは、第1の標準化回路11に入力され、標準化回路用CLKによって、このクロック信号CLKに同期した標準化信号D1a, D2a, ... D(n-2)a, D(n-1)aとして、第1の標準化回路11から出力される。更

に、前記第1のデコーダ5の出力信号 $\phi 1, \phi 2, \dots, \phi (n-1), \phi n$ は、スイッチ回路SW1, SW2, \dots SW(n-2), SW(n-1), SWnの制御端子に順次スイッチング制御用信号として入力される。これによってスイッチ回路SW1, SW2, \dots SW(n-2), SW(n-1)及びSWnの共通の出力端子からは、アナログの入力信号Vinが参照電圧V1, V2, \dots V(n-2), V(n-1)のどの電圧範囲にあるのかを判断することで、減算回路SUB1からの出力 $Vin - V1 + Vref1$, 減算回路SUB2からの出力 $Vin - V2 + Vref1$, \dots 減算回路SUB(n-2)からの出力 $Vin - V(n-2) + Vref1$, 減算回路SUB(n-1)からの出力 $Vin - V(n-1) + Vref1$, 又は入力信号Vinのいずれかを逐次選択した信号Vinbが出力される。その結果、アナログの入力信号Vinは、第1の基準電圧源Vref1と第1の参照電圧出力手段の最下位の参照電圧V1の電圧範囲内の信号Vinb (図3の“B”で示す信号波形参照)として出力される。

【0016】前述の第1の標準化回路11から出力された出力信号D1a, D2a, \dots D(n-2)a, D(n-1)aは、図4の①～⑧に示す信号として第1のエンコーダ10に入力され、下位A/D変換ビット数をkビットとすると、この第1のエンコーダ10からは、上位A/D変換ビット出力端子B(k+1), B(k+2), \dots B(j+k-1), B(j+k)に、jビットのバイナリー信号に変換された上位A/D変換ビット信号b(k+1), b(k+2), \dots b(j+k-1), b(j+k)が出力される。このとき、上位A/D変換ビット数は、 $j = \log_2 n$ で表されるjビットである。

【0017】次に、下位A/D変換ビット信号を出力する動作を、図5及び図6を用いて説明する。但し、図5, 6においては、下位A/D変換の動作を説明しやすくするため、図5において“C”で示す信号波形は“B”で示す信号波形の一点鎖線部を拡大して示している。まず、第2の比較手段を構成する比較回路CMP1b, CMP2b, \dots CMP(m-2)b, CMP(m-1)bの非反転入力端子には、減算回路SUB1, SUB2, \dots SUB(n-2), SUB(n-1)からの出力又は入力信号Vinのいずれかを、選択手段を構成するスイッチ回路SW1, SW2, \dots SW(n-2), SW(n-1), SWnによって逐次選択した信号Vinb (図3及び図5において

“B”で示す信号波形参照)が入力される。第1の参照電圧出力手段における最下位の参照電圧V1は、低出力インピーダンスに出力変換するバッファ回路BUF1によって、V1bとして出力された後、第1の基準電圧源Vref1とバッファ回路BUF1の出力端子間に直列接続された、第2の参照電圧出力手段を構成する抵抗素子r1, r2, \dots r(m-1), rmによって分圧され、その分圧された電圧が順次参照電圧v1, v2, \dots v(m-2), v(m-1) (図5の“B”, “C”で示す信号波形参照)として出力され、比較回路CMP1b, CMP2b, \dots CMP(m-2)b, CMP(m-1)bの反転入力端子に入力

される。その結果、比較回路CMP1b, CMP2b, \dots CMP(m-2)b, CMP(m-1)bからは、コンパレータ出力としてCMP1b-out, CMP2b-out, \dots CMP(m-2)b-out, CMP(m-1)b-outが出力される。

【0018】比較回路CMP1b, CMP2b, \dots CMP(m-2)b, CMP(m-1)bの出力信号CMP1b-out, CMP2b-out, \dots CMP(m-2)b-out, CMP(m-1)b-outは、第2のデコーダ8に入力され、信号Vinbが第2の参照電圧出力手段の参照電圧v1, v2, \dots v(m-2), v(m-1)のどの電圧範囲にあるのかを、第2のデコーダ8の出力信号d1b, d2b, \dots d(m-2)b, d(m-1)bとして出力する。この第2のデコーダ8の出力信号d1b, d2b, \dots d(m-2)b, d(m-1)bは、第2の標準化回路12に入力され、標準化回路用CLKによって、このクロック信号CLKに同期した標準化信号D1b, D2b, \dots D(m-2)b, D(m-1)bとして第2の標準化回路12から出力される。第2の標準化回路12から出力された標準化信号D1b, D2b, \dots D(m-2)b, D(m-1)bは、図6において丸数字1～丸数字18に示す信号として第2のエンコーダ9に入力され、この第2のエンコーダ9の出力端子からは、下位A/D変換ビット出力端子B1, B2, \dots B(k-1), Bkにkビットのバイナリー信号に変換された下位A/D変換ビットのデータb1, b2, \dots b(k-1), bkが出力される。このとき、下位A/D変換ビット数は、 $k = \log_2 m$ で表されるkビットである。

【0019】以上説明したように、上位A/D変換ビットは、第1の基準電圧源Vref1と第2の基準電圧源Vref2間の電圧を分圧して得られる第1の参照電圧出力手段の各参照電圧とアナログの入力信号Vinとを比較し、上位A/D変換ビットに対応した第1のエンコーダ10によって粗く変換され、またこの際第1のデコーダ5による出力結果は、アナログの入力信号Vinから第1の参照電圧出力手段の各参照電圧を減算した各出力信号をスイッチによって選択するときの、スイッチング制御信号として使用する。ここで得られた下位A/D変換ビット用出力信号は、上位A/D変換ビット結果の1LSB以下の部分が残ったことになる。そして、この下位A/D変換ビット用出力信号と、第1の基準電圧源Vref1と第1の参照電圧出力手段の最下位参照電圧との間の電圧を分圧して得られる第2の参照電圧出力手段の各参照電圧とを比較して、第2のエンコーダによってその比較結果に対応した下位A/D変換ビットに変換される。

【0020】このように、(j+k)ビットのA/D変換回路を実現する場合、コンパレータ数を $2^j + 2^k - 2$ にすることかでき、高分解能化に伴う指数的なコンパレータ数の増加を抑えることができる。また、これによってチップサイズを縮小することかできると共に、各回路には高速動作に必要な動作電流を与えながらも、トータルの消費電力を減少させることが可能となる。更に、それ

に伴う入力容量の増大も抑えられるため信号歪みを発生しにくくし、THDの劣化を低減させるA/D変換回路を実現することができる。

【0021】次に、第2の実施の形態について説明する。図7は第2の実施の形態を示す回路構成図で、図2に示した第1の実施の形態と同一又は対応する構成要素には同一の符号を付して示しており、図8～図11はその動作を説明するため信号波形図である。この実施の形態は、第1の実施の形態において、第1の標準化回路11を第1のデコーダ5の出力側に、第2の標準化回路12を第2のデコーダ8の出力側に設けている代わりに、入力信号Vinの入力端子に標準化回路13を設けた点で異なるのみで、他の構成は第1の実施の形態と同様である。

【0022】このように構成された第2の実施の形態においては、まず、アナログの入力信号Vin（図3の“A”で示す信号波形参照）が標準化回路13に入力されると、標準化回路用CLKによって、このクロック信号CLKに同期した標準化入力信号Vina（図8の“A”で示す信号波形参照）として出力される。この標準化入力信号Vinaは第1の比較手段を構成する比較回路CMP1a, CMP2a, … CMP(n-2)a, CMP(n-1)aの非反転入力端子に入力され、第1の基準電圧源Vref1と第2の基準電圧源Vref2との間に抵抗素子R1, R2, … R(n-1), Rnを直列に接続した第1の参照電圧出力手段によって形成された参照電圧V1, V2, … V(n-2), V(n-1)が、第1の比較回路CMP1a, CMP2a, … CMP(n-2)a, CMP(n-1)aの反転入力端子に入力される。その結果、比較回路CMP1a, CMP2a, … CMP(n-2)a, CMP(n-1)aからはコンパレータ出力として、CMP1a-out, CMP2a-out, … CMP(n-2)a-out, CMP(n-1)a-outが出力される。また、標準化入力信号Vinaは減算回路SUB1, SUB2, … SUB(n-2), SUB(n-1)の入力端子にも入力され、それぞれの減算回路からは標準化入力信号Vinaと第1の参照電圧出力手段からの参照電圧V1, V2, … V(n-2), V(n-1)との差が出力される。このとき、減算回路SUB1からは $Vina - V1 + Vref1$, 減算回路SUB2からは $Vina - V2 + Vref1$, … 減算回路SUB(n-2)からは $Vina - V(n-2) + Vref1$, 減算回路SUB(n-1)からは $Vina - V(n-1) + Vref1$ が出力信号として出力される。これらの減算回路の出力信号は、スイッチ回路SW1, SW2, … SW(n-2), SW(n-1)の入力端子にそれぞれ入力され、残りのスイッチ回路SWnの入力端子には標準化入力信号Vinaが入力される。

【0023】比較回路CMP1a, CMP2a, … CMP(n-2)a, CMP(n-1)aの出力信号CMP1a-out, CMP2a-out, … CMP(n-2)a-out, CMP(n-1)a-outは、第1のデコーダ5に入力され、標準化信号Vinaが参照電圧V1, V2, … V(n-2), V(n-1)のどの電

圧範囲にあるのかを第1のデコーダ5の出力信号 $\phi 1, \phi 2, \dots \phi(n-2), \phi(n-1), \phi n$ として出力する。この第1のデコーダ5の出力信号 $\phi 1, \phi 2, \dots \phi(n-1), \phi n$ は、スイッチ回路SW1, SW2, … SW(n-2), SW(n-1), SWnの制御端子に順次スイッチング制御用信号として入力される。これによってスイッチ回路SW1, SW2, … SW(n-2), SW(n-1)及びSWnの共通の出力端子からは、標準化入力信号Vinaが参照電圧V1, V2, … V(n-2), V(n-1)のどの電圧範囲にあるのかを判断することで、減算回路SUB1からの出力 $Vina - V1 + Vref1$, 減算回路SUB2からの出力 $Vina - V2 + Vref1$, … 減算回路SUB(n-2)からの出力 $Vina - V(n-2) + Vref1$, 減算回路SUB(n-1)からの出力 $Vina - V(n-1) + Vref1$, 又は標準化入力信号Vinaのいずれかを逐次選択した信号Vinbが出力される。その結果、標準化入力信号Vinaは第1の基準電圧源Vref1と第1の参照電圧出力手段の最下位参照電圧V1の電圧範囲内の信号Vinb（図8の“B”で示す信号波形参照）として出力される。

【0024】前述の第1のエンコーダ5からの出力信号 $\phi 1, \phi 2, \dots \phi(n-2), \phi(n-1), \phi n$ は、図9の①～⑧に示す信号として第1のエンコーダ10に入力され、下位A/D変換ビット数をkビットとすると、この第1のエンコーダ10からは、上位A/D変換ビット出力端子B(k+1), B(k+2), … B(j+k-1), B(j+k)に、jビットのバイナリー信号に変換された上位A/D変換ビット信号b(k+1), b(k+2), … b(j+k-1), b(j+k)が出力される。このとき、上位A/D変換ビット数は、 $j = \log_2 n$ で表されるjビットである。

【0025】次に、下位A/D変換ビット信号を出力する動作を、図10及び図11を用いて説明する。但し、図10, 11においては、下位A/D変換の動作を説明しやすくするため、図10における“C”で示す信号波形は“B”で示す信号波形の一点鎖線部を拡大して示している。まず、第2の比較手段を構成する比較回路CMP1b, CMP2b, … CMP(m-2)b, CMP(m-1)bの非反転入力端子には、減算回路SUB1, SUB2, … SUB(n-2), SUB(n-1)からの出力又は標準化入力信号Vinaのいずれかを、選択手段を構成するスイッチ回路SW1, SW2, … SW(n-2), SW(n-1), SWnによって逐次選択した信号Vinb（図8及び図10において“B”で示す信号波形参照）が入力される。第1の参照電圧出力手段における最下位参照電圧V1は、低出力インピーダンスに出力変換するバッファ回路BUF1によって、V1bとして出力された後、第1の基準電圧源Vref1とバッファ回路BUF1の出力端子間に直列接続された、第2の参照電圧出力手段を構成する抵抗素子r1, r2, … r(m-1), rmによって分圧され、その分圧された電圧が順次参照電圧v1, v2, … v(m-2), v(m-1)（図10の“B”, “C”で示す信号波形

参照)として出力され、比較回路CMP1b, CMP2b, . . . CMP(m-2)b, CMP(m-1)bの反転入力端子に入力される。その結果、比較回路CMP1b, CMP2b, . . . CMP(m-2)b, CMP(m-1)bからは、コンパレータ出力としてCMP1b-out, CMP2b-out, . . . CMP(m-2)b-out, CMP(m-1)b-outが出力される。

【0026】比較回路CMP1b, CMP2b, . . . CMP(m-2)b, CMP(m-1)bの出力信号CMP1b-out, CMP2b-out, . . . CMP(m-2)b-out, CMP(m-1)b-outは、第2のデコーダ8に入力され、信号Vinbが第2の参照電圧出力手段の参照電圧v1, v2, . . . v(m-2), v(m-1)のどの電圧範囲にあるのかを、第2のデコーダ8の出力信号D1b, D2b, . . . D(m-2)b, D(m-1)bとして出力される。この第2のデコーダ8から出力された出力信号D1b, D2b, . . . D(m-2)b, D(m-1)bは、図11において丸数字1~丸数字11に示す信号として第2のエンコーダ9に入力され、この第2のエンコーダ9の出力からは、下位A/D変換ビット出力端子B1, B2, . . . B(k-1), Bkにkビットのバイナリ信号に変換された下位A/D変換ビットのデータb1, b2, . . . b(k-1), bkが出力される。このとき、下位A/D変換ビット数は、 $k = \log_2 m$ で表されるkビットである。

【0027】以上説明したように、この実施の形態においては、アナログの入力信号Vinは、まず標準化回路13に入力され、標準化回路用CLKによって、このクロック信号CLKに同期した標準化入力信号に変換されて出力される。上位A/D変換ビットは、第1の基準電圧源Vref1と第2の基準電圧源Vref2間の電圧を分圧して得られる第1の参照電圧出力手段の各参照電圧と標準化入力信号とを比較し、上位A/D変換ビットに対応した第1のエンコーダ10によって粗く変換され、またこの際第1のデコーダ5による出力結果は、標準化入力信号から第1の参照電圧出力手段の各参照電圧を減算した各出力信号をスイッチによって選択するときの、スイッチング制御信号として使用する。ここで得られた下位A/D変換ビット用出力信号は上位A/D変換ビット結果の1LSB以下の部分が残ったことになる。そして、この下位A/D変換ビット用出力信号と第1の基準電圧源Vref1と第1の参照電圧出力手段の最下位参照電圧との間の電圧を分圧して得られる第2の参照電圧出力手段の各参照電圧とを比較して、第2のエンコーダによってその比較結果に対応した下位A/D変換ビットに変換される。

【0028】このように、(j+k)ビットのA/D変換回路を実現する場合、前記第1の実施の形態と同様に、コンパレータ数を $2^j + 2^k - 2$ にすることかでき、高分解能化に伴う指数的なコンパレータ数の増加を抑えることができる。また、これによってチップサイズを縮小することかできると共に、各回路には高速動作に必要な動作電流を与えながらも、トータルの消費電力を減少させ

ることが可能となる。更に、それに伴う入力容量の増大も抑えられるため信号歪みを発生しにくくし、THDの劣化を低減させるA/D変換回路を実現することができる。

【0029】次に、第3の実施の形態について説明する。図12は第3の実施の形態を示す回路構成図で、図2に示した第1の実施の形態と同一又は対応する構成要素には同一符号を付して示している。この第3の実施の形態は、図2に示した第1の実施の形態と殆ど同じ回路構成であり、異なる構成点は、第1の実施の形態における第1の参照電圧出力手段における最下位参照電圧V1を低出力インピーダンスに出力変換するバッファ回路BUF1の代わりに、 $A(V1 - Vref1) + Vref1$ で表される低出力インピーダンスの出力電圧V1bに出力変換する利得Aのバッファ回路BUF11を用い、また選択手段を構成するスイッチ回路SW1, SW2, . . . SW(n-2), SW(n-1)及びSWnの共通出力端子から出力される出力信号Vinbを、 $A(Vinb - Vref1) + Vref1$ で表されるVincに出力変換する利得Aのバッファ回路BUF12の入力端子に入力し、このバッファ回路BUF12の出力を第2の比較手段を構成する各比較回路CMP1b, CMP2b, . . . CMP(m-2)b, CMP(m-1)bの非反転入力端子に入力するように構成している点である。

【0030】このような回路構成とすることにより、前記第1の実施の形態と同様な作用効果を得ることができると共に、下位A/D変換ビットの変換レンジを広げることによって、下位A/D変換ビットの要求精度を緩くすることが可能となる。

【0031】次に、第4の実施の形態について説明する。図13は第4の実施の形態を示す回路構成図で、図7に示した第2の実施の形態と同一又は対応する構成要素には同一符号を付して示している。この第4の実施の形態は、図7に示した第2の実施の形態と殆ど同じ回路構成であり、異なる構成点は、第2の実施の形態における第1の参照電圧出力手段における最下位参照電圧V1を低出力インピーダンスに出力変換するバッファ回路BUF1の代わりに、 $A(V1 - Vref1) + Vref1$ で表される低出力インピーダンスの出力電圧V1bに出力変換する利得Aのバッファ回路BUF11を用い、また選択手段を構成するスイッチ回路SW1, SW2, . . . SW(n-2), SW(n-1)及びSWnの共通出力端子から出力される出力信号Vinbを、 $A(Vinb - Vref1) + Vref1$ で表されるVincに出力変換する利得Aのバッファ回路BUF12の入力端子に入力し、このバッファ回路BUF12の出力を第2の比較手段を構成する各比較回路CMP1b, CMP2b, . . . CMP(m-2)b, CMP(m-1)bの非反転入力端子に入力するように構成している点である。

【0032】このような回路構成とすることにより、前記第2の実施の形態と同様な作用効果を得ることができると共に、下位A/D変換ビットの変換レンジを広げる

ことによって、下位A/D変換ビットの要求精度を緩くすることが可能となる。

【0033】上記各実施の形態においては、第2の参照電圧出力手段として、第1の基準電圧 V_{ref1} と第1の参照電圧出力手段の最下位参照電圧 V_1 とを用いて、第2の参照電圧を出力するように構成したものを示したが、第1の参照電圧出力手段において設定された他の参照電圧を使用して、第2の参照電圧出力手段における参照電圧を設定するようにしても、同一の作用効果が得られることは言うまでもない。

【0034】また、上記各実施の形態においては、上位A/D変換と下位A/D変換の2段の変換回路でA/D変換回路を構成しているが、2段構成のみならず更に3段、4段と複雑な多段回路構成とすることによって、同一の作用効果が得られると共に、なお一層の高分解能化が可能となるのは勿論のことである。

【0035】

【発明の効果】以上実施の形態に基づいて説明したように、本発明によれば、高分解能化に伴う指数的なコンパレータ数の増加を抑えることで、チップサイズを縮小することができ、また各回路には高速動作に必要な動作電流を与えながらもトータルの消費電力を減少させることが可能となり、更に、それに伴う入力容量の増大も抑えられるため信号歪みを発生しにくくし、THDの劣化を低減させることができ、更に下位A/D変換ビットの要求精度を緩くすることができるA/D変換回路を実現することができる。

【図面の簡単な説明】

【図1】本発明に係るA/D変換回路の基本構成を説明するための概念図である。

【図2】本発明の第1の実施の形態を示す回路構成図である。

【図3】図2に示した第1の実施の形態における上位A/D変換ビット信号の出力動作を説明するための信号波形図である。

【図4】図3に示した信号波形図の下方に続き一体となる信号波形図である。

【図5】図2に示した第1の実施の形態における下位A/D変換ビット信号の出力動作を説明するための信号波

形図である。

【図6】図5に示した信号波形図の下方に続き一体となる信号波形図である。

【図7】本発明の第2の実施の形態を示す回路構成図である。

【図8】図7に示した第2の実施の形態における上位A/D変換ビット信号の出力動作を説明するための信号波形図である。

【図9】図8に示した信号波形図の下方に続き一体となる信号波形図である。

【図10】図7に示した第2の実施の形態における下位A/D変換ビット信号の出力動作を説明するための信号波形図である。

【図11】図10に示した信号波形図の下方に続き一体となる信号波形図である。

【図12】本発明の第3の実施の形態を示す回路構成図である。

【図13】本発明の第4の実施の形態を示す回路構成図である。

【図14】従来の並列型A/D変換回路を示す回路構成図である。

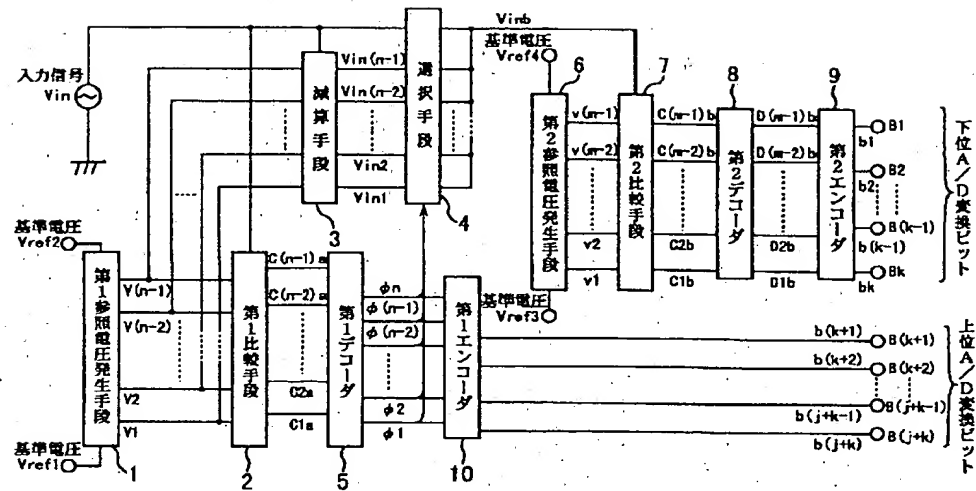
【図15】図14に示した従来例の動作を説明するための信号波形図である。

【図16】図15に示した信号波形図の下方に続き一体となる信号波形図である。

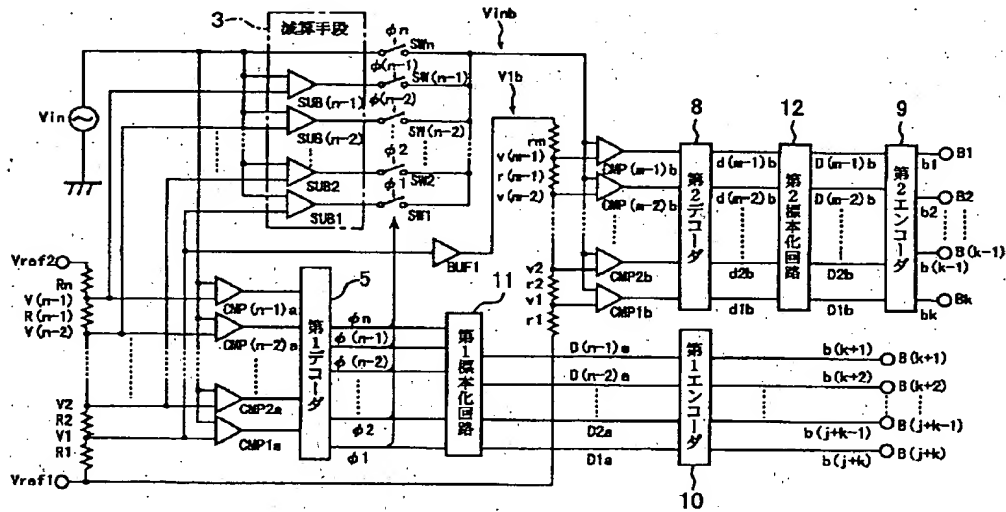
【符号の説明】

- 1 第1の参照電圧出力手段
- 2 第1の比較手段
- 3 減算手段
- 4 選択手段
- 5 第1のデコーダ
- 6 第2の参照電圧出力手段
- 7 第2の比較手段
- 8 第2のデコーダ
- 9 第2のエンコーダ
- 10 第1のエンコーダ
- 11 第1の標本化回路
- 12 第2の標本化回路
- 13 標本化回路

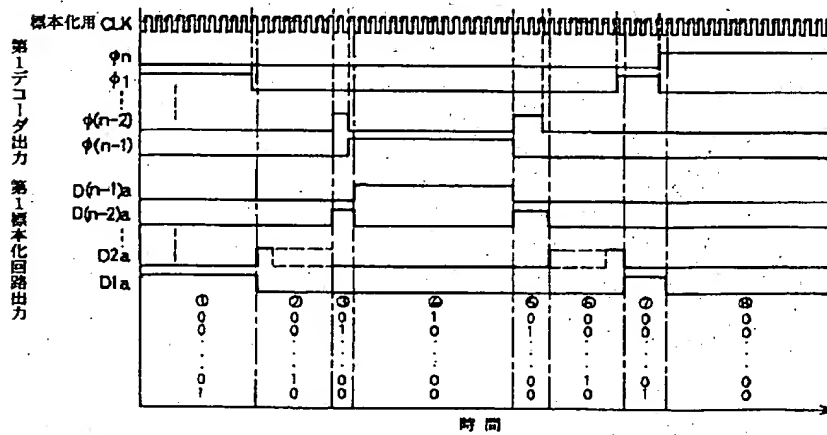
【図1】



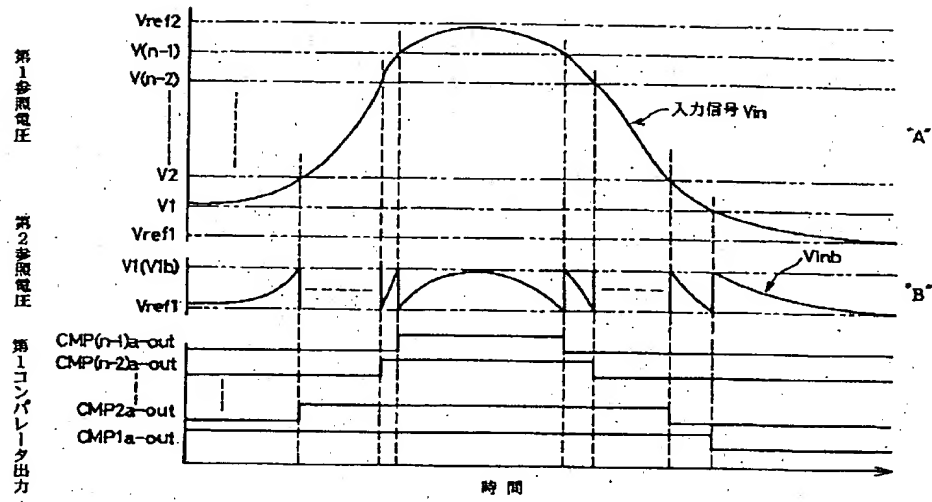
【図2】



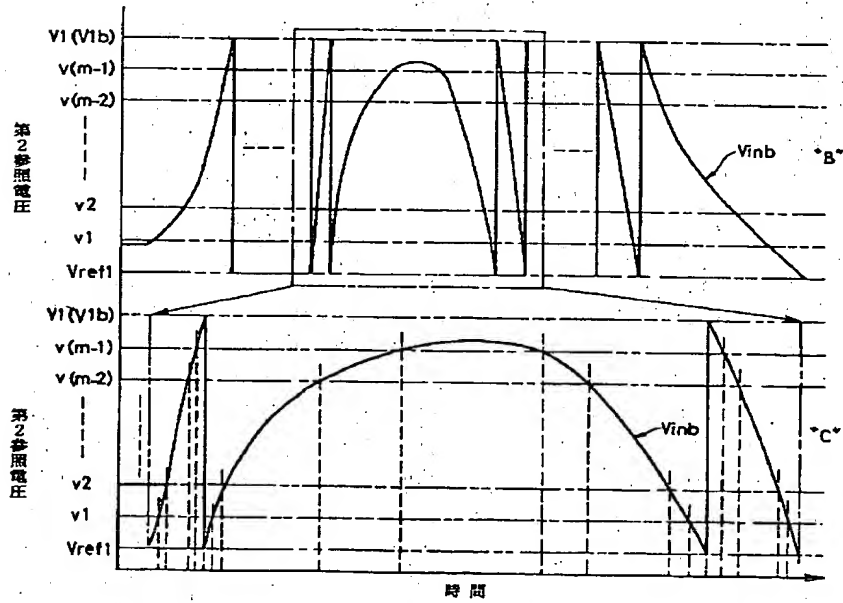
【図4】



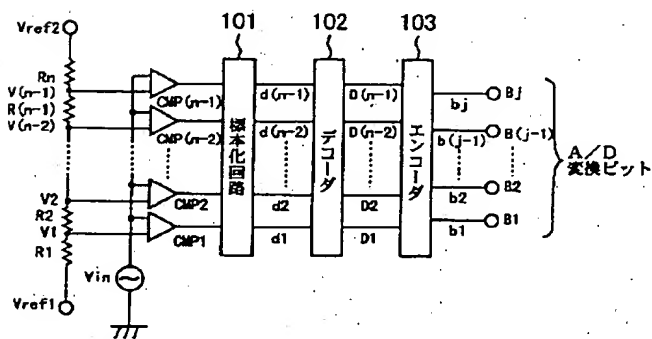
【図3】



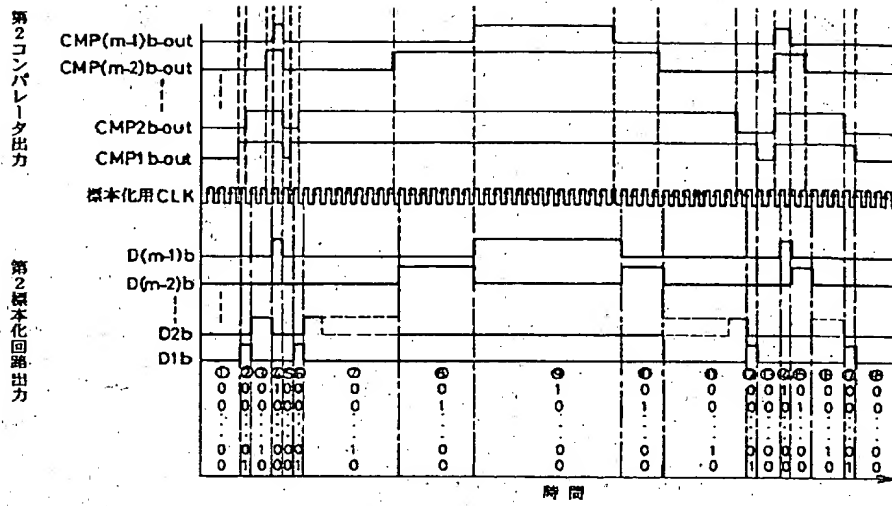
【図5】



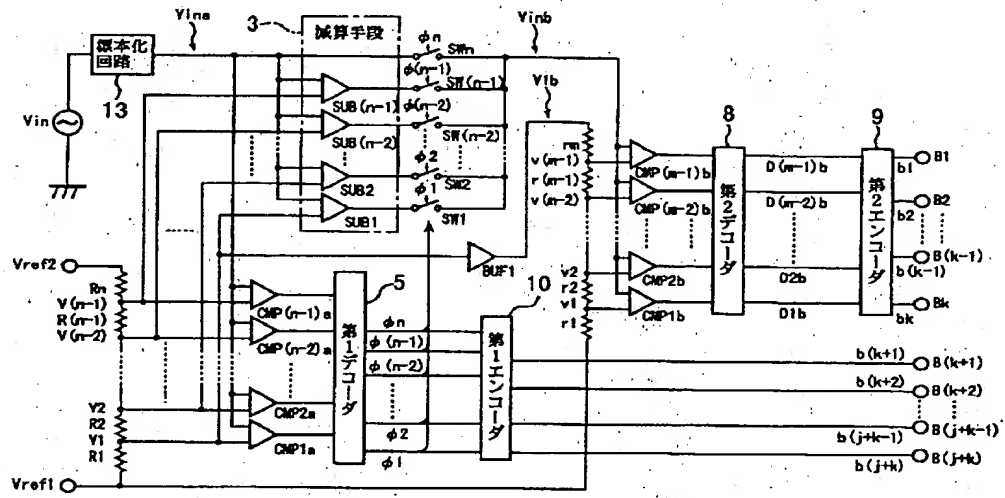
【図14】



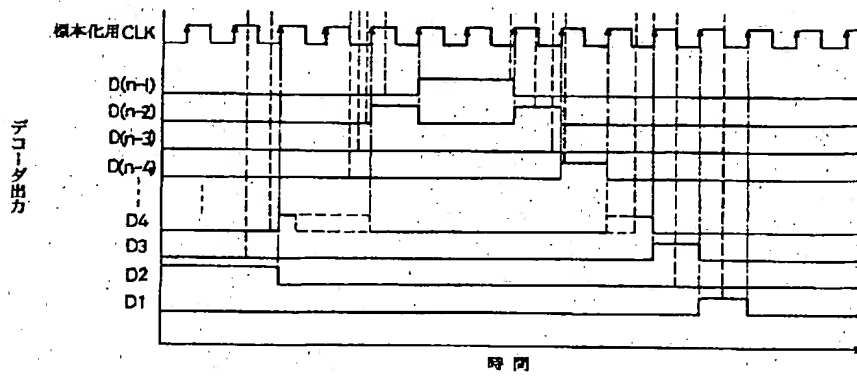
【図 6】



【图 7】



【図 16】



Timing diagram showing input signal V_{1a} and output signal V_{1b} over time. The diagram includes a clock signal (CLK) and various voltage levels (V_{ref1} , V_{ref2} , V_{n-2} , V_{n-1} , V_2 , V_1). The output signal V_{1b} is shown as a step function that follows the input signal V_{1a} .

The timing diagram illustrates the sequence of events during a comparison operation. The vertical axis lists several signals:

- $CMP(n-1)a-out$
- $CMP(n-2)a-out$
- \vdots
- $CMP2a-out$
- $CMP1a-out$
- ϕn
- $\phi 1$
- \vdots
- $\phi(n-2)$
- $\phi(n-1)$

The horizontal axis represents time, with specific points labeled as follows:

- $t_0 \dots t_1$
- $t_2 \dots t_3$
- $t_4 \dots t_5$
- $t_6 \dots t_7$
- $t_8 \dots t_9$
- $t_{10} \dots t_{11}$
- $t_{12} \dots t_{13}$

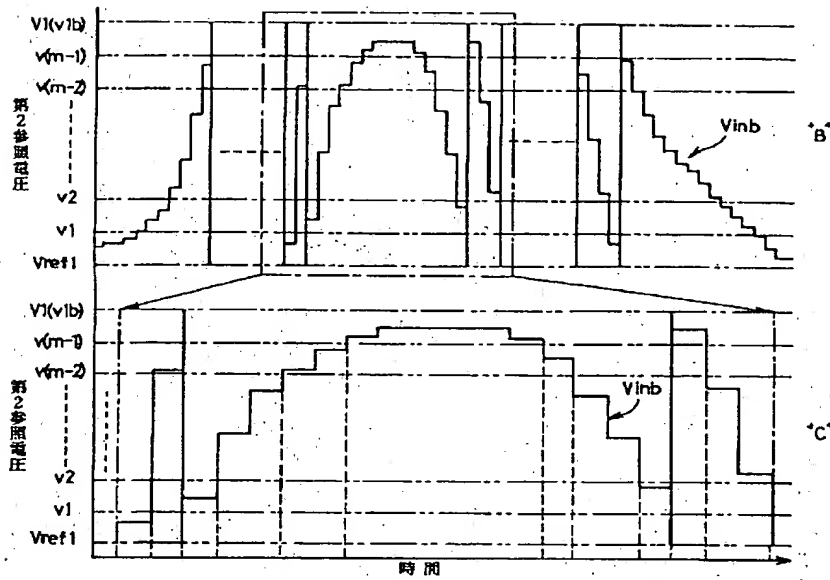
The diagram shows how the comparison results ($a-out$) are valid during specific intervals defined by the clock signals (ϕ). Vertical dashed lines indicate the boundaries of these time intervals.

第2コンパレータ出力

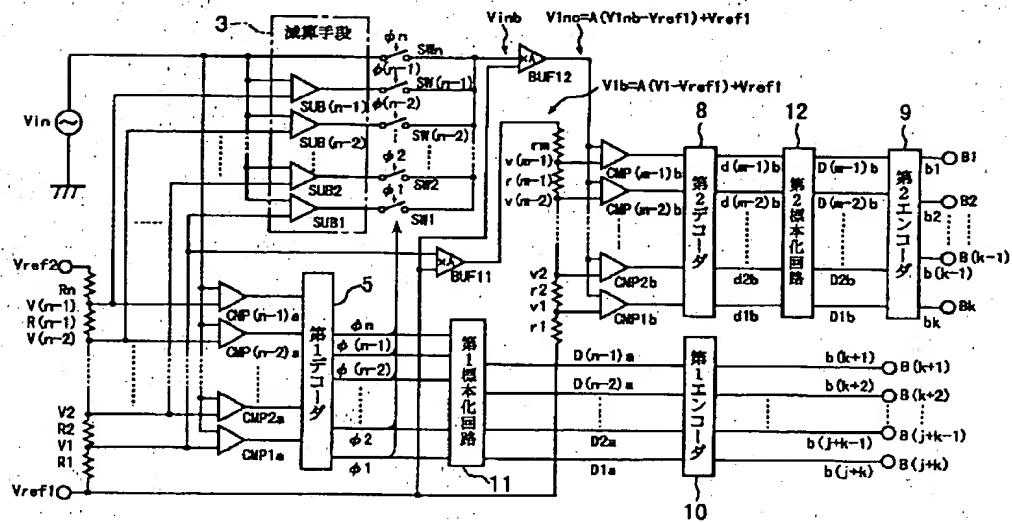
第2標準化回路出力

時間

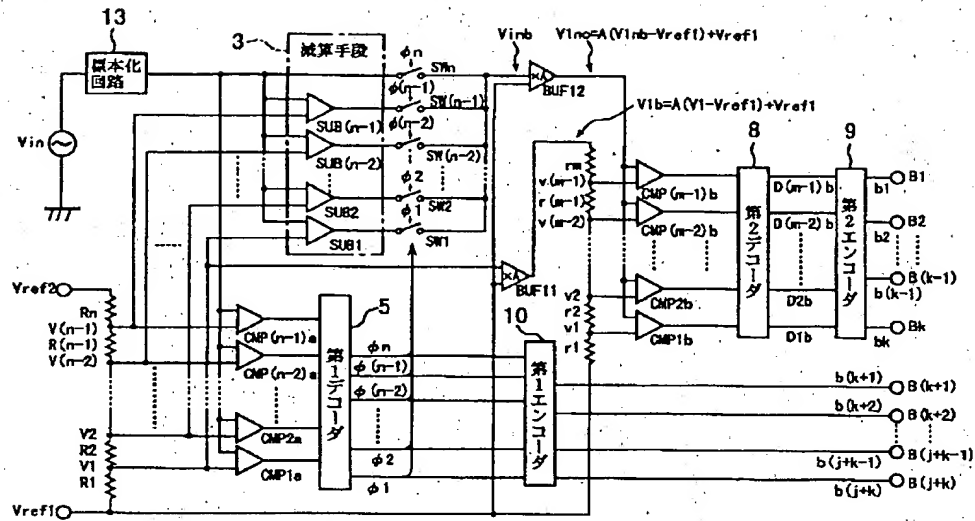
【図10】



【図12】



【図 13】



【図 15】

